

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-78439

(P2000-78439A)

(43)公開日 平成12年3月14日 (2000.3.14)

(51)Int.Cl.⁷

識別記号

H 0 4 N 5/222

F I

H 0 4 N 5/222

テマコト[®] (参考)

Z 5 C 0 2 2

審査請求 未請求 請求項の数 3 O.L. (全 12 頁)

(21)出願番号 特願平10-241305

(22)出願日 平成10年8月27日 (1998.8.27)

(71)出願人 000232047

日本電気エンジニアリング株式会社
東京都港区芝浦三丁目18番21号

(72)発明者 小笠原 正志

東京都港区芝浦三丁目18番21号 日本電気
エンジニアリング株式会社内

(74)代理人 100082935

弁理士 京本 直樹 (外2名)

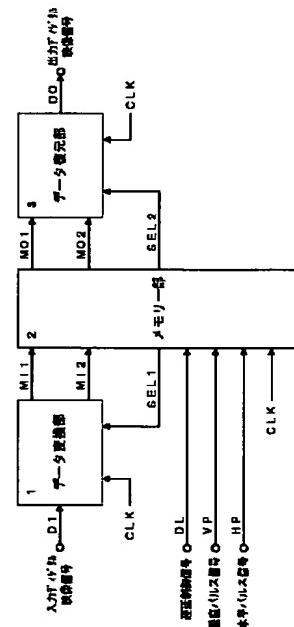
Fターム(参考) 5C022 AC69

(54)【発明の名称】 フィールドメモリーを用いた映像信号の遅延回路

(57)【要約】

【課題】 映像信号をフレーム遅延させる装置に関して、フィールドメモリーの使用率を向上させることでフィールドメモリーの使用個数を低減し、また回路構成を変更せざともフレーム遅延量を可変できる映像遅延装置を提供する。

【解決手段】 NTSC方式における10ビットのデジタル映像信号を15ビットのデータに変換するデータ変換部と、8ビットのフィールドメモリーを2個並列に接続したメモリーブロックが1又はそれ以上直列に接続され、前記15ビットのデータの入出力の際、書き込みタイミングと読み出しタイミングに位相差を与えて遅延させる手段を有するメモリーパートと、前記15ビットのデータを10ビットのデータに復元するデータ復元部とを備える。さらに、前記メモリーパートは、所望の遅延量を前記1又はそれ以上直列に接続されたメモリーブロックに分配する手段と、前記メモリーブロックは記憶容量の範囲において遅延量を可変できる手段を有する。



【特許請求の範囲】

【請求項1】 mビット構成のフィールドメモリーを有するメモリー部を用いてmビットより多ビットであるnビット構成の映像信号を遅延させる映像信号の遅延回路において、前記nビット構成の映像信号をnビット以上 $2 \times m$ ビット以下の信号に変換して前記メモリーに入力するデータ変換部と、前記メモリーから出力した信号をmビット構成の映像信号に復元するデータ復元部とを有し、前記メモリー部はmビット構成のフィールドメモリーを2個並列に接続したメモリーブロックを1またはそれ以上直列に接続され、前記メモリーブロックへの書き込みタイミングとの読み出しタイミングとに位相差を与えて入力信号を遅延させる手段を有することを特徴とするフィールドメモリーを用いた映像信号の遅延回路。

【請求項2】 8ビット構成のフィールドメモリーを有するメモリー部を用いて10ビットの映像信号を遅延させる映像信号の遅延回路において、

10ビットのデジタル映像信号を15ビットのデータに変換するデータ変換部と、前記15ビットのデータを10ビットのデータに復元するデータ復元部とを有し、前記メモリー部は8ビットのフィールドメモリーを2個並列に接続したメモリーブロックを1又はそれ以上直列に接続され、前記メモリーブロックへの書き込みタイミングと読み出しタイミングとに位相差を与えて遅延させる手段を有することを特徴とするフィールドメモリーを用いた映像信号の遅延回路。

【請求項3】 前記メモリー部は、所望の遅延量を前記1又はそれ以上直列に接続されたメモリーブロックに分配する手段と、前記メモリーブロックは記憶容量の範囲において遅延量を可変できる手段とを有することを特徴とする請求項1若しくは2記載のフィールドメモリーを用いた映像信号の遅延回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、放送局等において映像信号を遅延させる装置に関する。

【0002】

【従来の技術】衛星回線を介して海外から放送局に映像を送信する場合、送信する地域によっては映像信号が1回の衛星回線ルートしか通らないのに対して、音声信号が2回の衛星回線ルートを通ることがある。この場合、放送局で映像を受信した時点では映像信号と音声信号に約0.5秒(約15フレーム)の遅延差が生ずるので、このままでは放送用の素材として使用できなくなり、映像信号を遅延させる手段が必要となっていた。

【0003】また、近年番組制作用のシステムとしてバーチャルシステムが頻繁に使用されるようになってきた。このバーチャルシステムは、疑似背景の処理に5~10フレームの時間を要するので、背景に合成する人間

等の映像信号を疑似背景の処理時間と同じ時間だけ遅延させる手段が必要となっていた。

【0004】そこで映像信号の遅延処理を行うために、8ビット用フィールドメモリーを用いてNTSC方式の10ビットのデジタル映像信号を遅延させる映像遅延装置が開発されるようになってきた。

【0005】この映像遅延装置の動作を、デジタル映像信号を1フレーム遅延させる場合を例として、図12を参照して説明する。

【0006】図12に示される従来の遅延回路は、前、後段のメモリーブロック1, 2からなり、それぞれ2つのフィールドメモリー3~6を有しており、このフィールドメモリー3~6は8ビット構成で映像デジタル信号の1フィールドを記憶できるものとする。

【0007】10ビットのデジタル映像信号が入力されると、上位8ビットのデータと下位2ビットのデータとに分割され、上位8ビットのデータはフィールドメモリー3に、下位2ビットのデータはフィールドメモリー4に書き込ませる。

【0008】メモリーブロック1には書き込み制御信号(図示せず)の入力によってデータが書き込まれ、書き込みと読み出しの位相差が1フィールドになるように読み出し御信号(図示せず)が入力される。

【0009】これにより、メモリ3, 4からデータが読み出されるときは、1フィールド分遅延されたデータとなる。

【0010】メモリーブロック1に入力された読み出し制御信号はメモリーブロック2への書き込み制御信号(図示せず)となり、メモリーブロック1から読み出されたデータをメモリーブロック2に書き込む。またメモリーブロック1と同様に、書き込みと読み出しの位相差が1フィールドになるように読み出し制御信号(図示せず)が入力され、最終的に奇数フィールドと偶数フィールドを含む1フレーム分遅延されて出力される。

【0011】なお、サンプリング周波数が4Fscならば書き込み制御信号と読み出し制御信号に同一位相の238875(910画素×262.5ライン)クロック周期のパルスを与えることで、1フィールド遅延された10ビットのデジタル映像信号が得られる。

【0012】

【発明が解決しようとする課題】しかしながら図12に示される従来の映像遅延装置では、フレーム遅延量を増やしたい場合は、図12に示された4つのフィールドメモリーを所望のフレーム遅延量だけ直列に接続させなければならない。例えば32フレーム遅延させるとフィールドメモリが128(32×4)個必要となるので、遅延量が増えれば増えるだけ回路規模が大きくなってしまう。

【0013】またフレーム遅延量を固定させずに任意のフレーム遅延量を得たい場合は、各フィールドメモリー

からの出力線を選択回路に入力させると共に、所望の出力線を選択する回路が別途必要となり、回路構成が複雑になってしまう。

【0014】この様な問題を解決するために、フィールドメモリーの使用数を低減する技術として特開平4-81193号が知られている。この公報ではクロックレートの3周期分のデータを2周期分のデータに変換したのちフィールドメモリーによって映像信号を遅延させ、再度クロックレートの2周期分のデータを3周期分のデータに復元する技術が記載されている。

【0015】しかしながらこの様な技術では、2つの周波数のクロック信号が使われているので、それぞれのデータ変換におけるクロック信号間の位相管理が必要となってしまう。また、一方のクロック信号から他方のクロック信号を発生させる課程においてゲート回路を使用することになるが、このゲートの遅延によってスキューが発生する場合があり、この様にスキューが発生するとラッチ回路が誤動作する問題があった。

【0016】そこで本発明は上記問題に鑑みて、1つの基準となるクロック信号を用いて、フィールドメモリーの使用率を向上させることでフィールドメモリーの使用個数を低減し、また回路構成を変更せずともフレーム遅延量を可変できる映像遅延装置を提供することを目的とする。

【0017】

【課題を解決するための手段】上記目的を解決するため、本発明ではmビット構成のフィールドメモリーを有するメモリー部を用いてmビットより多ビットであるnビット構成の映像信号を遅延させる映像信号の遅延回路において、前記nビット構成の映像信号をnビット以上 $2 \times m$ ビット以下の信号に変換して前記メモリーに入力するデータ変換部と、前記メモリーから出力した信号をmビット構成の映像信号に復元するデータ復元部とを有し、前記メモリー部はmビット構成のフィールドメモリーを2個並列に接続したメモリーブロックを1またはそれ以上直列に接続され、前記メモリーブロックへの書き込みタイミングとの読み出しタイミングとに位相差を与えて入力信号を遅延させる手段を有することを特徴とする。

【0018】これにより、フィールドメモリーのビット構成より多ビットである映像信号を2個のフィールドメモリーを用いて遅延させる際、2個のフィールドメモリーを最大限に利用することができ、フィールドメモリーの使用個数を低減することができる。

【0019】また民生品の8ビット構成のフィールドメモリーを有するメモリー部を用いてNTSC方式である10ビットのディジタル映像信号を遅延させる映像信号の遅延回路において、10ビットのディジタル映像信号を15ビットのデータに変換するデータ変換部と、前記15ビットのデータを10ビットのデータに復元するデ

ータ復元部とを有し、前記メモリー部は8ビットのフィールドメモリーを2個並列に接続したメモリーブロックを1又はそれ以上直列に接続され、前記メモリーブロックへの書き込みタイミングと読み出しタイミングとに位相差を与えて遅延させる手段を有する事を特徴とする。

【0020】さらに本発明では、前記メモリー部は、所望の遅延量を前記1又はそれ以上直列に接続されたメモリーブロックに分配する手段と、前記メモリーブロックは記憶容量の範囲において遅延量を可変できる手段とを有することを特徴とする。

【0021】

【発明の実施の形態】本発明に係わる第1の実施の形態について図1～図9を参照して説明する。本実施の形態では、内部処理に使用しているクロック信号は映像信号のバースト信号の4倍の周波数(4Fsc)とし、NTSC方式のディジタル映像信号を最大15フレーム(30フィールド)遅延させる場合の実施の形態を説明する。

【0022】図1において、NTSC方式の10ビット入力ディジタル映像信号DIを入力し、10ビットから15ビットに変換し、上位8ビットをM11信号、下位7ビットをM12信号として出力するデータ変換部1と、M11信号とM12信号を入力し、所望のフレーム遅延量だけ遅延させたのち上位8ビットのM11信号をM01信号、下位7ビットのM12信号をM02信号として出力するメモリー部2と、M01信号とM02信号を入力し、5ビットから10ビットに復元して出力ディジタル映像信号DOを出力するデータ復元部3とから構成される。

【0023】データ変換部1、メモリー部2、データ復元部3にはそれぞれ同一のクロック信号CLKが入力され、メモリー部2には所望のフレーム遅延量を指定する遅延制御信号DLと、フレームの先頭を示す垂直パルス信号VPと、フレームにおけるラインの先頭を示す水平パルス信号HPとが入力されている。

【0024】図2を参照してデータ変換部1の構成を詳細に説明する。

【0025】10ビットの入力ディジタル映像信号DIの各ビットの位相をクロック信号に一致させると共に1クロック遅延させるDFF1と、DFF1出力信号を並列に分岐した一方の信号を1クロック遅延させるDFF2と、メモリー部2において水平パルス信号のデコードにより生成されるSEL1によって、DFF1出力信号の上位8ビットとDFF2出力信号の上位8ビットとを切替える2対1セレクタS1と、DFF1出力信号の下位2ビット及びDFF2出力信号の下位5ビットとDFF2出力信号の下位2ビット及びDFF1出力信号の上位5ビットとをSEL1によって切替える2対1セレクタS2と、2対1セレクタS1からの出力信号を1クロック遅延させると共に、各ビットの位相をクロック信号

に一致させてM I 1信号として出力するD F F 3と、2対1セレクタS 2からの出力信号を1クロック遅延すると共に、各ビットの位相をクロック信号に一致させてM I 2信号として出力するD F F 4と、から構成される。

【0026】次にデータ変換部1の動作について図3を参照して説明する。

【0027】10ビットの入力ディジタル映像信号D 1はD F F 1によって1クロック分遅延され、D F F 1出力を並列に分岐した一方はD F F 2によって更に1クロック分遅延させる。

【0028】10ビットのD F F 1出力のうち上位8ビットをS 1 A信号として2対1セレクタS 1のAポートに、10ビットのD F F 2出力のうち上位8ビットをS 1 B信号として2対1セレクタS 1のBポートに入力させる。2対1セレクタS 1では、メモリー部2において水平パルス信号のデコードにより生成されたS E L 1がLの場合はS 1 Aを、S E L 1がHの場合はS 1 Bを選択して8ビットのS 1 Y信号を出力する。

【0029】なおS E L 1信号は、水平パルス信号のデコードによって生成されるD 1からD 9 1 0までのアドレスに対して、D 4からD 9 1 0まで3クロックおきにHからLに切り替わるようになっている。

【0030】また、D F F 1出力のうち下位2ビットとD F F 2出力のうち下位5ビットで構成される7ビットの信号をS 2 A信号として2対1セレクタS 2のAポートに、D F F 2出力のうち下位2ビットとD F F 1出力のうち上位5ビットで構成される7ビットの信号をS 2 B信号として2対1セレクタS 2のBポートに入力させる。2対1セレクタS 2では、S E L 1がLの場合はS 2 Bを、S E L 1がHの場合はS 2 Aを選択して7ビットのS 2 Y信号を出力する。

【0031】さらに、2対1セレクタS 1出力のS 1 Y信号はD F F 3によって1クロック遅延された8ビットのM I 1信号として出力され、2対1セレクタS 2出力のS 2 Y信号はD F F 4によって1クロック遅延された7ビットのM I 2信号として出力される。

【0032】メモリー部2は図4に示されるように、フレームにおけるラインの先頭を示す水平パルス信号H Pが入力するとクロックの入力と共に0番地から9 0 9番地までの水平アドレスを生成する水平カウンターと、フレームの先頭を示す垂直パルス信号V Pが入力すると水平パルス信号H Pの入力と共に0番地から5 2 5番地までのフレームアドレスを生成するフレームカウンターと、フレームアドレス、水平アドレス及びフレームの遅延量を示す遅延制御信号D Lのデコードにより、M I 1及びM I 2の書き込み（読み出し）を行わせるリセットパルス（R S T）1～2 1と、書き込み停止（読み出し保持）を行わせるイネーブル信号（E N B）1～2 1と、データ変換回路1へのS E L 1と、データ復元回路

へのS E L 2とを生成するして送出するメモリー制御部と、メモリー制御装置からのリセットパルス（R S T）1～2 1によって0番地に書き込む（読み出す）タイミングを認識し、クロック信号により順次決定される番地に上位8ビットデータM I 1及び下位7ビットデータM I 2が書き込まれる（読み出される）メモリー1～2 0とから構成される。

【0033】遅延制御信号は1～15フレームの遅延量を決定するために、0～14の値を示す4ビットのデータからなり、メモリー制御部は遅延制御信号をデコードすることで各メモリー1～2 0に対応した遅延量を算出する。

【0034】このメモリー制御部は、フレームアドレスと水平アドレスをデコードしてフィールドメモリーの0番地に書き込み及む（読み出す）タイミングを算出し、先ほど算出した遅延量を付加したタイミングで、各メモリー1～2 0の0番地を示すリセットパルス（R S T）1～2 1を送出する。

【0035】なお、R S T 1～2 0はデータをメモリーに書き込むための書き込みリセットパルス（W R S T）となり、R S T 2～2 1はメモリーに書き込まれたデータを読み出すための読み出しリセットパルス（R R S T）となる。同様に、E N B 1～2 0はデータをメモリーに書き込むことを禁止する書き込み禁止信号（W E N B）となり、E N B T 2～2 1はメモリーに書き込まれたデータを読み出すことを禁止する読み出し保持信号（R E N B）となる。

【0036】ここでW R S TとW E N Bは書き込み時の制御を行うので書き込み制御信号とし、R R S TとR E N Bは読み出し時の制御を行うので読み出し制御信号と呼ぶ。

【0037】本発明の装置ではメモリ（n-1）の読み出しとメモリーnの書き込みが同時に行われるので、同一のR S T n信号をメモリ（n-1）への読み出し制御信号及びメモリnへの書き込み制御信号として分配する回路構成とする。

【0038】次にメモリーブロック1、2を拡大した図5を参照して、メモリー部2の動作を説明する。

【0039】図に示されるように、メモリーブロック1、2は1フィールド（9 1 0画素×2 6 2、5画素）を記憶する8ビットのフィールドメモリーをそれぞれ2個有している。

【0040】フィールドメモリーF M 1、F M 2には同じR S T 1、R S T 2、E N B 1、E N B 2が、それぞれのW R S T、W E N B、R R S T、R E N Bとして入力されており、フィールドメモリーF M 1、F M 2にも同様に、同じR S T 2、R S T 3、E N B 2、E N B 3が、それぞれのW R S T、W E N B、R R S T、R E N Bとして入力されている。なお先ほど説明したが、メモリーブロック1の読み出しとメモリーブロック2書き込

みは同時に行うので、メモリーブロック1のRRST、RENBとメモリーブロック2のWRST、WENBには同じRST2、ENB2が入力される。

【0041】まず上位8ビットのM11信号はフィールドメモリーFM1に入力され、下位7ビットのM12信号はフィールドメモリーFM2に入力される。フィールドメモリーFM1、FM2は、RSTの入力により書き込み（読み出し）アドレスの0が決定され、クロックが入力される度に書き込み（読み出し）アドレスがカウントアップされる構成となっているので、M11、M12は順次指定されたアドレスに書き込まれる。

【0042】フィールドメモリーFM1、FM2からM11、M12信号を読み出す際、書き込み制御信号のタイミングと読み出し制御信号のタイミングに位相差を作り出すことで遅延された出力信号が得られる。つまり、フィールドメモリーの書き込みと読み出しの位相を1フィールド分ずらすことで、結果1フィールド分遅延されたデータが読み出される。

【0043】しかしながら、図12に示されるように2つのフィールドメモリーで1フィールド記憶させていた従来技術とは異なり、本発明は図10に示されるように10ビットのデータを15ビットに変換することでフィールドメモリーの使用効率を向上させているので、2つのフィールドメモリーで1.5フィールド記憶でき、2個のフィールドメモリーで最大1.5フレーム遅延させることができる。具体的なデータの流れは後述する。

【0044】次に示す式1は、20個のメモリーブロックを使用した場合、メモリー制御部において遅延制御信号を基に各メモリーブロック1～20の遅延量を算出するためのものである。遅延量はクロック単位のため整数とし、演算の商はメモリーブロック1～19の遅延量を示し、商に余りを加算した結果が最終段であるメモリーブロック20の遅延量とすることで、全体として必要な遅延量が得られる。

【0045】

式1 メモリーの遅延量=910×525×N/20 (単位:クロック)

910:映像信号の水平画素数

525:映像信号の1フレームのライン数

N:必要な遅延量(1フレームから15フレーム)

20:メモリーの数

例えば1フレーム ($910 \times 525 \times 1 = 477750$ クロック) 遅延の映像信号を得たい場合は、遅延制御信号DLに0を設定する。メモリー制御部では遅延制御信号DLがデコードされN=1となり、これを式1に代入して各メモリーブロックの書き込み制御信号と読み出し制御信号の位相差を算出すると、

$910 \times 525 \times 1 / 20 = 23887$ 余り10となる。これにより、メモリーブロック1～19の遅延量は23887クロック、メモリーブロック20の遅延量は23887に余りの10を加算した値、つまり23897クロックとなる。

【0046】よって、メモリー制御部では書き込み制御信号と読み出し制御信号の位相差を算出された上記の遅延量となるように制御すればよい。

【0047】図6のタイミングチャートは、メモリーブロックの遅延量を示したものであり、図中のT1はメモリーブロック1～19までの遅延量(23887クロック)であり、T2はメモリーブロック20での遅延量(23897クロック)である。

【0048】メモリーブロック1に書き込みリセットパルスWRST(RST1)が入力されるとクロックの入力と共に書き込みアドレスが順次指定され、フィールドにおける奇数ラインデータ、偶数ラインデータの順に、指定されたアドレスへ書き込まれる。WRSTの発生後T1経過すると、読み出しリセットパルスRRST(RST2)が入力され、書き込み時と同様、指定されたアドレスから順次読み出される。またメモリーブロック1

にRRSTが入力されると同時に、メモリーブロック2にWRSTが入力され、メモリーブロック1から読み出されたデータが順次書き込まれるようになっており、メモリーブロック19まで同じ動作が繰り返される。

【0049】メモリーブロック19にWRST(RST20)が入力された後T2経過すると、メモリーブロック20にRRST(RST21)が入力されて、データが順次読み出される。よって、M11、M12はメモリ一部を通して通過することで、 $T1 \times 19 + T2 (23889 \times 19 + 23897 = 477745$ クロック) 遅延されたMO1、MO2となって出力される。

【0050】次にメモリ一部2におけるデータの流れについて図7を参照して説明する。メモリ一部2は、メモリーブロックに書き込みリセット信号WRSTを入力することで、8ビットのデータM11と7ビットのデータM12がクロックの入力と共に順次書き込まれるようになっている。

【0051】ここでM11における8ビットのD1の位置を基準として考える。まず、1クロック目はM11のD1(上位8ビット)とM12のD1(下位2ビット)及びD2(下位5ビット)とがフィールドメモリーのアドレス0に書き込まれ、2クロック目はM11のD3とM12のD3及びD2とがフィールドメモリーのアドレス1に書き込まれる。

【0052】次の3クロック目はM11のD3とM12のD3及びD2とが入力されることになるが、M11のD3とM12のD3は2クロック目と同じデータになり、M12のD4は次クロック目と同じデータになる。更に2クロック目までにD1～D3のデータを全て書き込んだ状態となっているので、3クロック目のデータが不要になる。そこで、不必要的3クロック目のデータ

を廃棄するように、書き込み禁止信号WENBを発生させて、フィールドメモリーへの書き込みを禁止する。

【0053】また、1クロック目から909クロック目までの間、3クロック毎に同一な関係になっているので、それぞれ3クロック目のデータを廃棄するようにWENBを発生させてフィールドメモリーへの書き込みを禁止させる。また、フィールドメモリーではWENBが入力すると書き込みアドレスを決定するカウンタの動作も停止させるので、例えば2クロック目と3クロック目とでは同一の書き込みアドレスを指定している状態となる。

【0054】この様に、フィールドメモリーに書き込まれたM1、M2は3クロック毎に1クロック分データが書き込まれないので、910画素のデーターが607サイクルで書き込まれることになり、1フレームのワード数477745(910×525)を約2/3の318675(607×525)に変換されることになる。つまり、所望の遅延フィールド数個のフィールドメモリーに対して約2/3に削減できることになる。本実施例では所望最大遅延量を15フィールドとして説明しているので、本来60個のフィールドメモリー(30個のメモリーブロック)が必要であったが、この様な構成することで2/3である40個のフィールドメモリー(20個のメモリーブロック)で目的が達成できることになる。

【0055】以上の処理を経て遅延された8ビットのデータM1と7ビットのデータM2は、最終段のメモリーブロックに読み出しリセット信号RRSTが入力することで、クロックの入力と共に8ビットのデータMO1と7ビットのデータMO2が順次読み出される。

【0056】ここでM1における8ビットのD1の位置を基準として、読み出し時の動作を説明する。まず、1クロック目はM1のD1(上位8ビット)とM2のD1(下位2ビット)及びD2(上位5ビット)とがフィールドメモリーのアドレス0から読み出され、2クロック目はM1のD3とM2のD3及びD2とがフィールドメモリーのアドレス1から読み出される。

【0057】次の3クロック目は、書き込み時において3クロック目のデータを書き込み禁止にして廃棄していたので、入力時の順序を確保するために、読み出し保持信号RENBを発生させて読み出しアドレスを決定するカウンタの動作を停止させ、2クロック目と同一のデータを3クロック目のデータとして読み出す。

【0058】この様に910クロック目まで同じ動作が繰り返され、遅延された8ビットのデータMO1と7ビットのデータMO2とがメモリーブロック2から出力される。

【0059】次に図8を参照してデータ復元部3の構成を詳細に説明する。

【0060】メモリーブロック2から出力された上位8ビットのMO1と下位7ビットのMO2とがデータ復元部3に

入力すると、MO1とMO2の上位2ビットとを合成した10ビットのデータを1クロック遅延させるDFF7と、MO2の下位5ビットを1クロック遅延させるDFF5と、MO2の下位5ビットとDFF7出力信号とを合成した10ビットのデータを1クロック遅延させるDFF6と、メモリーブロック2のメモリー制御部で生成されるSEL2によってDFF7出力信号とDFF6出力信号とを切替える2対1セレクタS3と、2対1セレクタS3出力信号を1クロック遅延させて10ビットの出力デジタル映像信号DOを出力するDFF8と、から構成される。

【0061】次にデータ復元部3の動作について図9を参照して説明する。

【0062】MO1におけるD1(上位8ビット)を基準として考える。1クロック目のMO1とMO2の上位2ビットを合成すると10ビットのD1となり、1クロック目のMO2の下位5ビットと2クロック目のMO2の下位5ビットを合成すると10ビットのD2となり、2クロック目のMO1とMO2の上位2ビットを合成すると10ビットのD3となる。またこれは909クロック目まで3クロック毎に連続して同一の関係になっている。

【0063】この様な関係から、8ビットのMO1とMO2の上位2ビットの合成により復元された10ビットのD1はDFF7に入力され、1クロック遅延したS3A信号として2対1セレクタ3のAポートへ出力される。またMO2の下位5ビットはDFF5によって1クロック遅延される。さらにDFF5を介さないMO2の下位5ビットとDFF5出力信号との合成信号はDFF6に入力され、1クロック遅延したS3B信号として2対1セレクタ3のBポートへ出力される。

【0064】ここで、3クロック目から909クロック目まで3クロック毎にメモリーブロック2のメモリー制御部においてSEL2を生成させ、2対1セレクタS3においてS3AとS3Bとを切り換えて出力することで、D1からD910までの連続した10ビットの信号が復元される。この信号はDFF8によって更に1クロック遅延された後、最終的に15フレーム遅延された出力デジタル映像信号DOとして出力される。

【0065】以上の説明では、1フィールド分の記憶容量を有するフィールドメモリーを使用したが、実際にには、一般に市販されているフィールドメモリー、例えば(株)日立製作所製のHM530281Rシリーズの331776ワード×8ビットが使用されているので、このフィールドメモリーを使用して3フレーム遅延させる場合を例として説明する。まず、従来行っている通常の遅延回路について図11を参照して説明する。フィールドメモリFM15～22は、それぞれ331776ワード×8ビット分の記憶容量を有したフィールドメモリーである。このフィールドメモリーの記憶容量はおよそ

1. 5フィールド分 (910画素×262.5画素×1.5) に相当するので、便宜上1.5フィールド記憶できることとする。これにより、並列に接続された2つのフィールドメモリで最大1.5フィールド遅延することが可能となる。

【0066】動作は上記実施例と同様に10ビットのデジタル映像信号の上位8ビットがフィールドメモリーFM15に入力され、下位2ビットがフィールドメモリーFM16に入力される。上記実施例と違うところは、フィールドメモリーが最大1.5フィールド遅延させることができるので、書き込み制御信号のタイミングと読み出し制御信号のタイミングとの位相差を最大1.5フィールドとして制御できることである。

【0067】この様な処理によって、4個のメモリーブロック（8個のフィールドメモリ）で遅延されたデータは、最大3フレーム（6フィールド）遅延された10ビットのデジタル映像信号として出力される。

【0068】これに対し本発明は図10に示されるように6個のフィールドメモリFM9～FM14から構成され、図2に示されるデータ変換部2によって10ビットのデータを15ビットのデータに変換した後、上位8ビットをフィールドメモリFM9に、下位7ビットをフィールドメモリFM10に入力させる。

【0069】15ビットに変換された910画素のデジタル映像信号は609サイクルでメモリーブロックに書き込まれることから、メモリーには1フレーム分 ($607 \times 525 = 318675$) 書き込むことができるの、1つのメモリーブロックで最大1フレーム遅延できることになる。

【0070】よって、(株)日立製作所製のHM530281Rシリーズの331776ワード×8ビットのフィールドメモリーを使用した場合、1フレーム遅延させるためには2個のフィールドメモリー（1個のメモリーブロック）で足り、3フレーム遅延させるためには従来8個のフィールドメモリー（4個のメモリーブロック）が必要であったのに対し、本発明では6つのフィールドメモリー（3個のメモリーブロック）で可能となる。

【0071】

【発明の効果】以上説明したように本発明のフィールドメモリーを用いた映像信号の遅延回路は、例えば8ビットのフィールドメモリーを2個用いて10ビットのディ

ジタル映像信号を遅延させる際、デジタル映像信号を15ビットのデータに変換したのち、8ビットと7ビットのデータに分割して各フィールドメモリーに書き込むようにするので、およそ2/3のサイクルで書き込め、フィールドメモリーの使用効率がおよそ1.5倍となる。つまり、フィールドメモリーの使用効率が向上した分、フィールドメモリーの使用個数を低減することができる。

【0072】また、フィールドメモリーの記憶容量範囲において、所望の遅延量をメモリーブロック（フィールドメモリー2個）の個数で分割させるので、回路構成を変更することなくフレーム遅延をメモリーブロックの使用個数分まで可変とすることができる。

【図面の簡単な説明】

【図1】本発明の全体の概要を示すブロック図。

【図2】データ変換部の詳細を示す回路図。

【図3】データ変換部におけるデータの流れを示すタイムチャート。

【図4】メモリー部の詳細を示す回路図。

【図5】メモリー部におけるメモリーブロックの詳細を示す回路図。

【図6】メモリーブロックにおけるデータの入出力を示すタイムチャート。

【図7】メモリー部におけるデータの流れを示すタイムチャート。

【図8】データ復元部の詳細を示す回路図。

【図9】データ復元部におけるデータの流れを示すタイムチャート。

【図10】具体的なフィールドメモリを用いた実施例におけるフィールドメモリー構成を示すブロック図。

【図11】具体的なフィールドメモリを用いた従来技術におけるフィールドメモリー構成を示すブロック図。

【図12】従来技術におけるフィールドメモリー構成を示すブロック図。

【符号の説明】

1 データ変換部

2 メモリー部

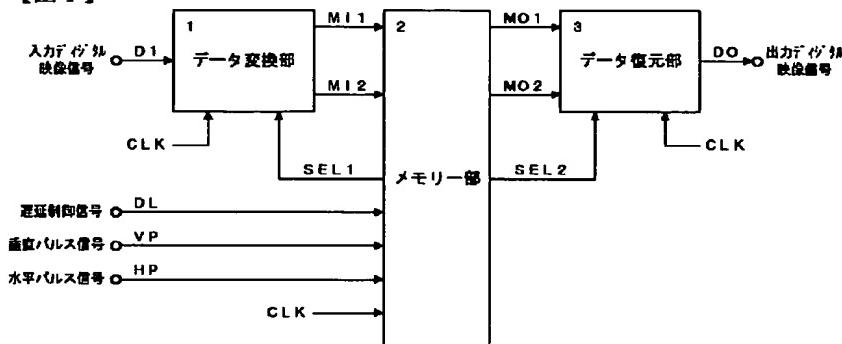
3 データ復元部

DFF1～DFF8 D型フリップフロップ

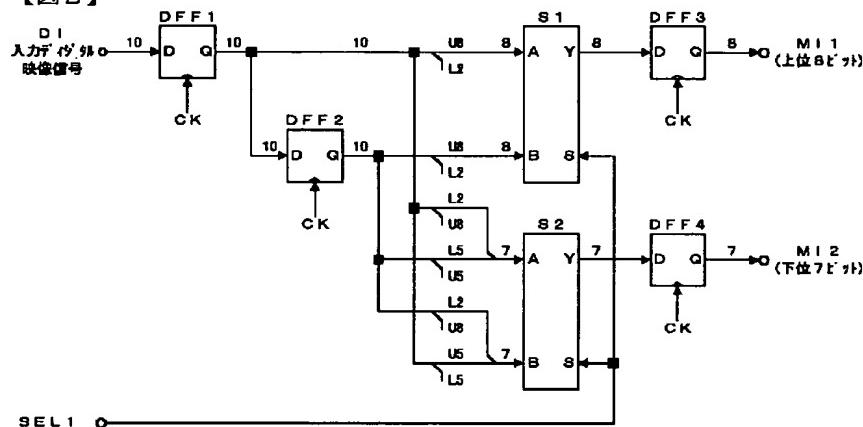
S1～S3 2対1セレクタ

FM1～FM22 8ビットのフィールドメモリー

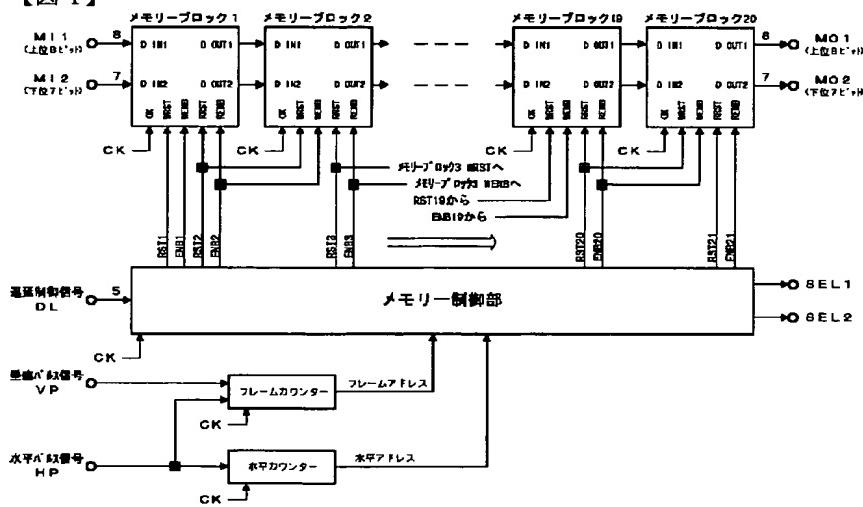
【図1】



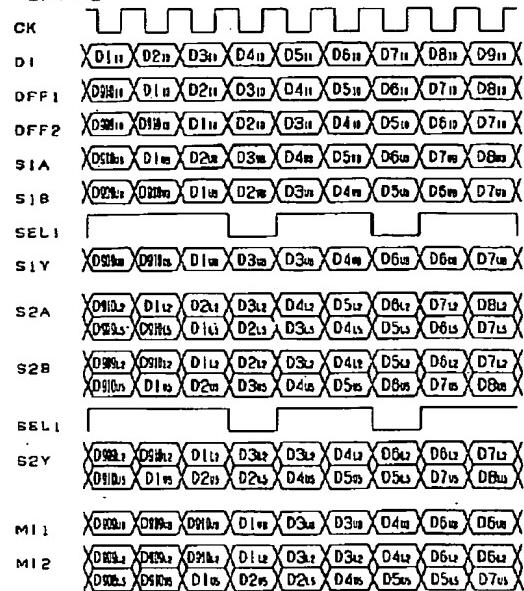
【図2】



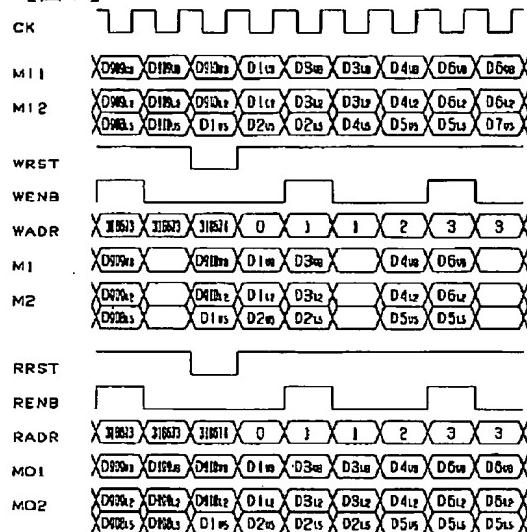
【図4】

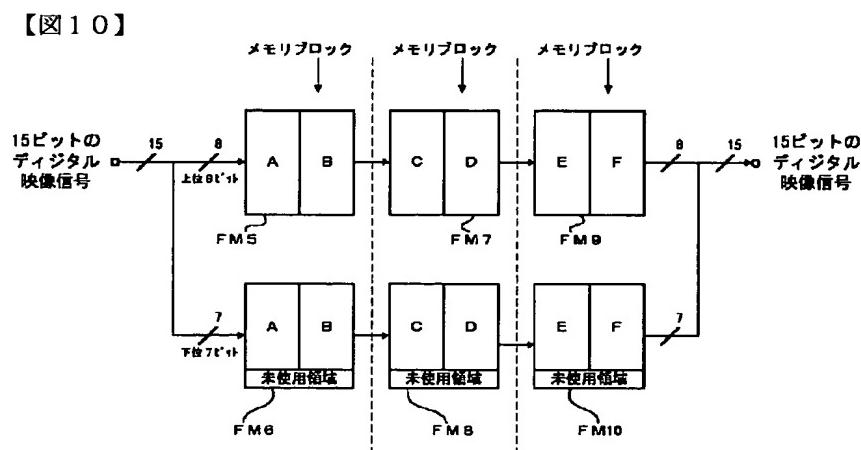
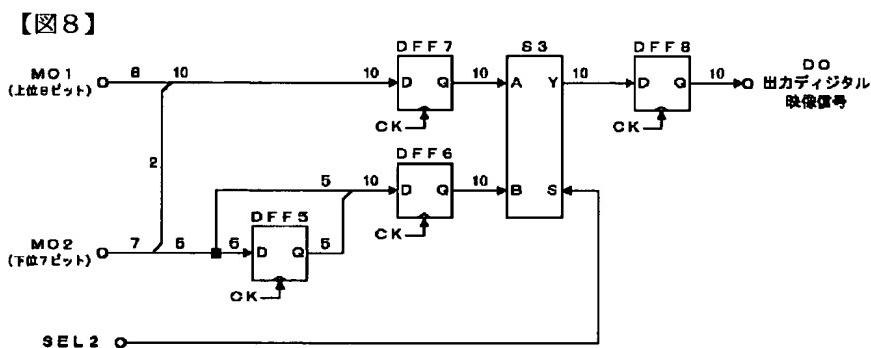
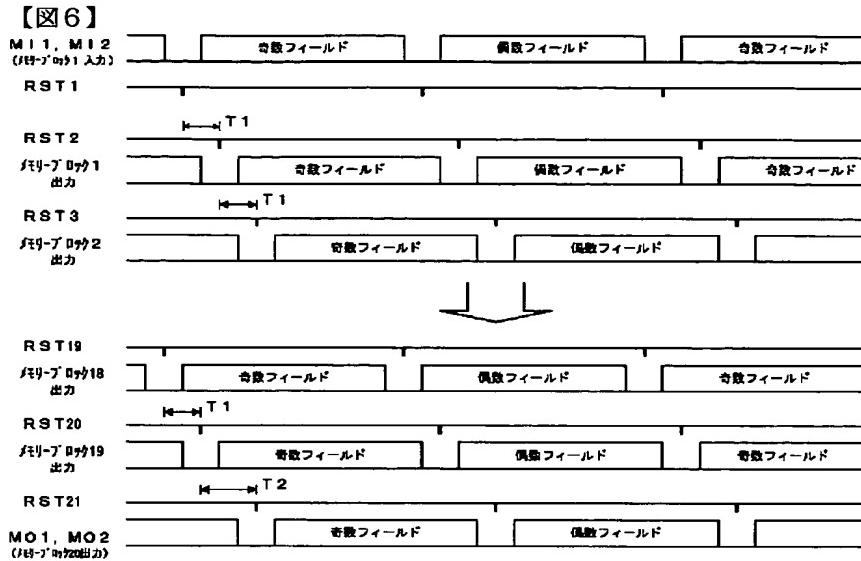


【図3】

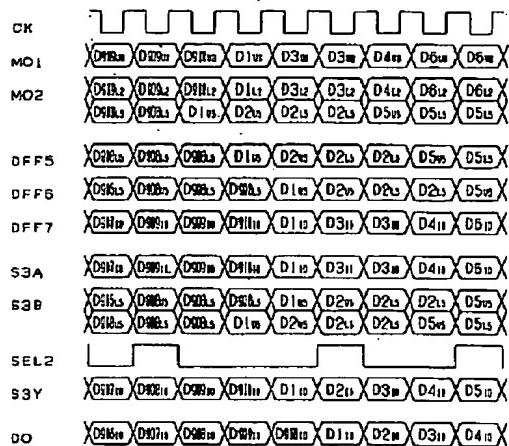


【図7】

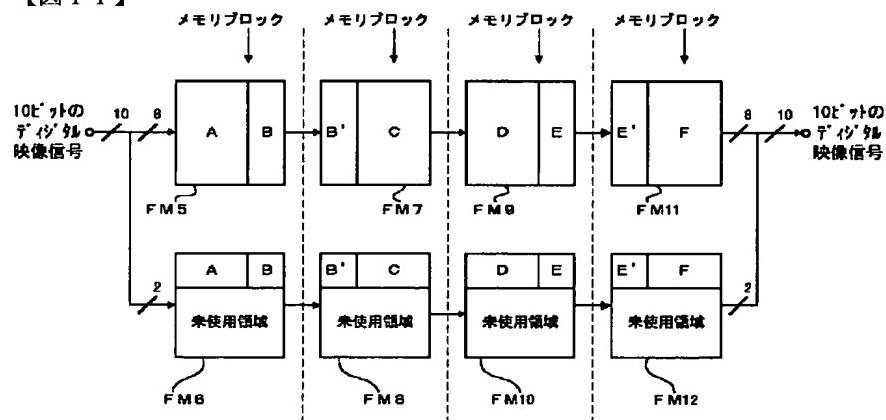




【四九】



【图 1-1】



【図12】

